

NAND 型闪存大容量图像存储器无效块管理

余辉龙^{1,2}, 何 昕¹, 魏仲慧¹, 王东鹤^{1,2}

(1 中国科学院 长春光学精密机械与物理研究所, 吉林 长春 130033; 2 中国科学院 研究生院, 北京 100039)

摘 要: 针对 NAND 型闪存大容量图像存储器存在无效块的问题, 提出了一种无效块快速检测与管理算法. 在分析闪存写入无效块和非写入无效块的基础上, 采用基于 CAM 的无效块信息分类匹配检测机制. 闪存存在擦除、写入和读取操作过程中采用 CAM 和 SRAM 匹配检测无效块, 并存储新增长无效块. 另外高速图像写入闪存过程中, 提出了基于 SRAM 数据备份的方法, 防止图像数据存储错误. 通过搭建基于 FPGA 的闪存图像存储器硬件平台, 实验证明该算法能够在 5 个系统时钟周期内匹配无效块, 能够在 3 个系统时钟周期内存储新增无效块, 能够匹配连续无效块信息, 并实现数据备份.

关键词: NAND 型闪存无效块; 图像存储; 内容可寻址存储器; 分类匹配; 数据备份

中图分类号: TP333.5

文献标识码: A

文章编号: 1000-7180(2010)02-0001-04

Invalid Block Management for High Capacity Image Recorder Based on NandFlash

YU Hui-long^{1,2}, HE Xin¹, WEI Zhong-hui¹, WANG Dong-he^{1,2}

(1 Changchun Institute of Optics, Fine Mechanics and Physics, Chinese Academy of Science, Changchun 130033, China; 2 Graduate School of the Chinese Academy of Sciences, Beijing 100039, China)

Abstract: Considering that high capacity image recorder based on existing invalid block, the method of quickly detection and management invalid block in NandFlash is presented. Based on analysis of written invalid block and non written invalid block, the classified invalid block matching and detection mechanism based on CAM is proposed. On erasing, writing and reading operation of the flash, CAM and SRAM is used to detect and match the invalid block of NandFlash and storage new increased invalid block. When writing high speed image data to the flash, the written data stored into the NandFlash is simultaneously back-up by the external SRAM to prevent image data storage error. The experiment which is based on field programmable gate array (FPGA) indicates the algorithm can identify the invalid blocks in 5 system clock period and storage new increased invalid blocks in 3 system clock periods. The method can quickly identify the consecutive invalid blocks and back-up the written image data.

Key words: invalid block of NandFlash; image storage; content addressable memory(CAM); classified match; data backup

1 引言

闪存体积小, 功耗低, 成本低, 承受冲击能力强, 具有非易失性等优点, 以闪存为存储介质的存储器获得了广泛的应用^[1-2]. 现在主流闪存分为 NOR 型和 NAND 型, NAND 型闪存写入和擦除速度比 NOR 型快, 单元存储容量大, 且成本比 NOR 型低,

因此 NAND 型闪存在大容量图像数据存储上比 NOR 型闪存更具有优势^[3-4]. 然而 NAND 型闪存由于工艺原因存在无效块^[5], 在对闪存操作过程中无效块具有随机可增长性, 如何检测和管理闪存无效块是图像数据可靠存储的关键问题之一.

目前闪存无效块检测和管理方案有以下两种, 一是备用块替换无效块^[5], 当闪存出现无效块时,

收稿日期: 2009-03-09; 修回日期: 2009-05-09

基金项目: 国家“八六三”计划项目(2007AA12Z113)

通过地址映射表,利用备用块替换无效块,能够保证地址的连续性,但该方法不能确保备用块有效性,在高可靠性应用中需设置二级备用块来映射一级备用块,将浪费较多存储空间.二是旁路无效块^[6],遇到无效块时,直接对下一个有效块操作,该方法能保证写入块的有效性.但该方法标记闪存中每一页信息的状态,这样系统在对闪存每一页操作前需要花费时间去读取标记值,并在操作完成后标记该页的状态,花费较多时间.文中针对 NAND 型闪存图像存储器存在无效块,提出一种基于 CAM^[7]的闪存无效块检测和管理方案,其时间开销小,能够高效管理闪存无效块.

2 基于 CAM 的闪存无效块分类匹配机制

数据分类匹配检索机制如图 1 所示,取数据 a 进行一级匹配,通过匹配结果域判决,确定 a 是否在二级检索数据域中,若在,则执行二级检索,否则直接取下一个数据 a,继续数据匹配.实现了数据的分类匹配检索.

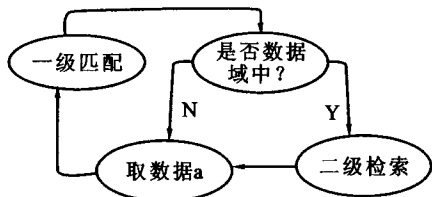


图 1 数据分类匹配检索机制

CAM 是一种内容可寻址存储器,当向 CAM 中输入需要匹配的内容时,若存储器里有该内容,将及时输出匹配有效信号,给出该内容的存储地址,显然,CAM 匹配速度快,可作为一级匹配单元.

闪存存在图像存储过程中遇到无效块时,只替换写入发生错误的页,而不是整块替换,因此需保留该无效块中正确写入的数据,将闪存写入过程中遇到的无效块定义为写入无效块,其他无效块定义为非写入无效块.显然非写入无效块在操作过程中可直接旁路,而写入无效块在读取过程中需要读取该块中正确写入的数据,不能直接旁路,由此须对写入无效块和非写入无效块分类,通过对 CAM 和匹配 SRAM 的地址分类实现二级检索.

闪存无效块分类匹配检测机制如图 2(b)所示,块地址 a 输入 CAM,判断该块是否为无效块,通过匹配结果域判决(见图 2(a)),判断无效块是写入无效块还是非写入无效块,通过匹配地址和域判决的结果决定输出,实现了无效块的快速匹配,写入无效块和非写入无效块的分类.

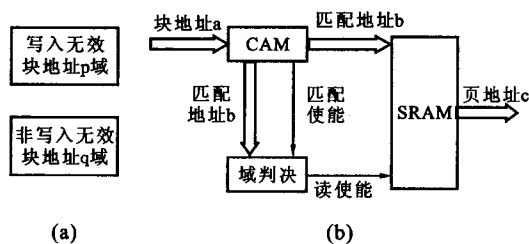


图 2 基于 CAM 的分类匹配检测机制

3 图像存储器无效块管理

初始无效块检测如图 3 所示,对各级闪存每一块进行无效块检测,将无效块信息存储到 CAM 中.擦除操作如图 4 所示,擦除前要进行无效块的匹配检测,若不是无效块,则擦除该块,检测该块是否正确擦除,若未正确擦除,则该块为无效块,将无效块信息存储到 CAM 中;若是无效块,则匹配检测下一块.读取操作如图 5 所示,读取前无效块匹配检测,若不是无效块则读取图像数据,若是无效块,则根据域判决判断该块是否写入无效块,若是写入无效块则设置该块最大读取页,从而读取正确写入的图像数据.写入操作如图 6 所示,每一块写入前进行无效块匹配检测,若不是无效块,则图像数据按页写入到闪存中,并同时写入到备份 SRAM 中进行数据备份,若检测该页未正确写入,则将该块的块信息及写入结束页信息分别存储到 CAM 及匹配 SRAM 中,将 SRAM 中备份图像数据重新写入到下一个闪存有效块中,实现数据备份并重新写入,保证了图像数据的完整性;若是无效块,则匹配检测下一块.

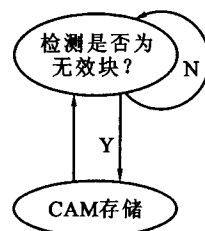


图 3 初始无效块检测

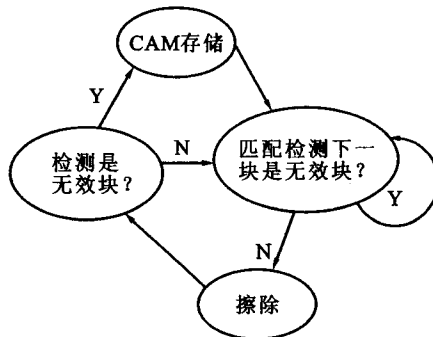


图 4 擦除

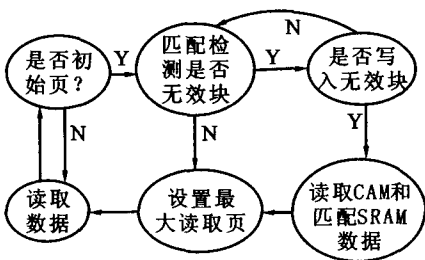


图 5 读取

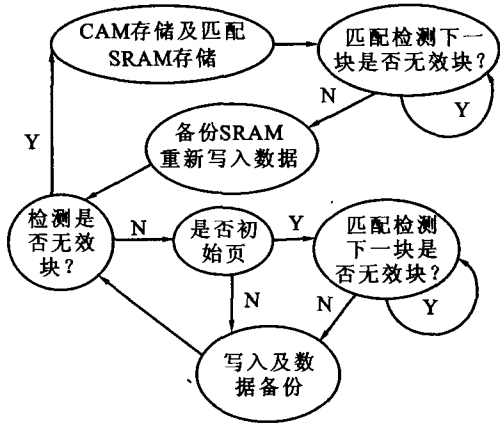


图 6 写入

4 系统结构

闪存大容量图像存储器系统结构如图 7 所示, FIFO1 缓存图像数据, FIFO2 验证数据正确性;控制逻辑部分控制所有模块;CAM 存储无效块信息,实现无效块信息的匹配;匹配 SRAM 存储写入无效块的结束页信息;FRAM(铁电存储器)备份 CAM 及匹配 SRAM 中数据;备份 SRAM 实现写入闪存数据的备份,闪存实现图像数据存储;串口发送系统命令;其中每一个 NAND 型闪存与 SRAM 存储单元均有两片闪存和两片 SRAM,共八级存储单元存储图像数据。

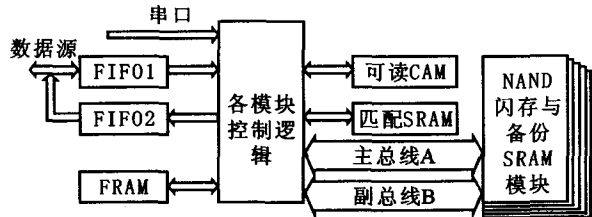


图 7 大容量图像存储器系统结构

5 实验与结果分析

5.1 无效块信息数据结构

闪存无效块信息数据结构如表 1 所示,闪存块地址信息共有 10bit,标识八级流水线需 3bit,为防

止第 1 级第 1 块信息误匹配,将所有无效块信息最高位标记为 1,一共 14bit 信息,剩余 2 位保留,以便扩展。

表 1 闪存无效块信息数据结构

位	15	14	13	12	11	10	0~9
内容	标识	保留		级地址			块地址

对 CAM 地址单元的内容分配如表 2 所示,地址 0~15h 存储原始无效块信息,地址 16h~31h 存储擦除无效块信息,地址 32h~3Fh 存储擦除无效块信息。匹配 SRAM 地址 32h~3Fh 存储写入无效块的相应结束页信息。

表 2 CAM 地址分配

地址	0~15h	16h~31h	32h~3Fh
内容	原始无效块	擦除无效块	写入无效块

5.2 闪存无效块匹配实验与分析

CAM 的初始值设置为: 00h: 8040h; 32h: 8080h,其他地址的内容均为 0000h,其中匹配 SRAM 的内容设为 32h:25h。代表第 0 级流水线 40h 和 80h 为连续无效块,其中 40h 为原始无效块,80h 为写入无效块,其结束页信息为 25h。通过泰克逻辑分析仪 TLA5201 观察和读取数据验证得出以下结论。

(1) 擦除. 擦除块地址从 0000 直接跳转到 00C0h。未擦除无效块 0040h,0080h 块。证明了擦除操作的正确性,能够实现对连续无效块的正确匹配;匹配时间为 $T_{match} = 3clk$ 。

(2) 写入. 闪存能够正确写入数据,同时将数据写入到 SRAM 中,闪存写入地址为 003Fh 时跳转到 00C0h,证明能够实现连续无效块匹配,匹配时间为 $T_{match} = 3clk$ 。

(3) 读取. 能够正确读取闪存数据,读取地址为 003Fh 时直接跳转到 0080h,一直递增到 00A5h,然后直接跳转到 00C0h,由于块地址 0080h 加上结束页地址 25h,即地址为 0080h 的块有效页地址最大到 00A5h,实现了读取无效块的分类匹配,证明了闪存存在写入无效块时读取算法的有效性,匹配时间为 $T_{match} = 5clk$ 。

5.3 闪存新增无效块识别算法验证与分析

闪存操作过程中,未发现真实的无效块信息,设置无效块信息,当闪存块地址为 0100h,将其认为是新增无效块,写入操作时结束页地址设为 25h。通过逻辑分析仪 TLA5201 观察和读取数据验证得出以

下结论^[7].

(1) 擦除. 通过读取 CAM 数据, 地址为 16h 时内容为 8100h, 其他均为 0000h. 匹配 SRAM 均为 00h, 验证了擦除无效块识别的正确性, 能够发现新增长擦除无效块, CAM 写入时间为 $T_{wcam} = 3clk$;

(2) 写入. 匹配 SRAM 地址为 32h 时内容为 25h, 其余均为 00h, 闪存地址 0140h 写入操作时, 数据来自片外 SRAM, 实现了数据备份, 通过读取 CAM 中数据, 地址 32h 时内容为 8100h, 其他均为 0000h. 验证了写入过程新增长无效块识别算法的正确性, 并实现无效块信息的分类, CAM 写入时间为 $T_{wcam} = 3clk$, 匹配 SRAM 写入时间为 $T_{wsram} = 3clk$.

6 结束语

对于大容量高速闪存图像存储器的无效块管理, 文中提出了基于 CAM 的数据分类匹配机制, 提高无效块信息匹配速度, 能够检测并存储初始无效块, 在擦除闪存过程中能够利用 CAM 在 3 个系统时钟周期内完成无效块的匹配和检测, 在 3 个系统时钟周期内将新增长的无效块存储到 CAM 中; 在高速图像写入闪存过程中能够利用 CAM 在 3 个系统时钟周期内完成无效块的匹配和检测, 在 3 个系统时钟周期内将新增长的无效块存储到 CAM 和 SRAM 中, 并在出现无效块时, 通过 SRAM 备份的方式进行数据重新回写, 防止数据存储错误; 在读取闪存图像数据时, 能够利用 CAM 和 SRAM 在 5 个

系统时钟周期内完成无效块的匹配和检测, 完成图像数据的正确读取. 实验结果表明, 该无效块管理方法能够实现闪存无效块的连续匹配检测, 能够实现数据备份, 实现了闪存大容量图像存储器无效块的高效管理, 从而保证了图像数据的完整性.

参考文献:

- [1] 丁双喜, 张盛兵, 贾宝峰. 双通道流水线 Flash 存储系统的设计[J]. 微电子学与计算机, 2008, 25(8): 224 - 228.
- [2] 刘文怡, 袁伟涛, 张斌珍. 基于 FPGA 和 USB 的 64 路数据采集系统设计[J]. 微电子学与计算机, 2008, 25(12): 151 - 153.
- [3] 王晓东, 郝志航. 大容量固态记录器技术[J]. 光学精密工程, 2001, 9(4): 396 - 400.
- [4] Ofer Tsur, Kfar Saba. Rugged, reliable, and secured data storage solutions for airborne ISR[J]. SPIE, 2004(5409): 66 - 73.
- [5] Samsung. 256M×8Bit/128M×16 bit NAND flash memory (Revision10)[M]. Korea: Samsung Electronics Corporation, 2003.
- [6] 朱岩, 沈卫华, 孙辉先. 基于闪存的固态存储器的数据管理[J]. 计算机工程, 2007, 33(12): 73 - 75.
- [7] Jones S. Design, selection and implementation of a content - addressable memory for a VLSI CMOS chip architecture [J]. IEEE Proceedings, 1988, 135(3): 165 - 172.

作者简介:

余辉龙 男, (1982 -), 博士研究生. 研究方向为数字图.